

Portable System에서의 Embedded 프로세서 기술 동향

유 회 준, 우 람 찬

한국과학기술원 전기 및 전자공학과 반도체 시스템 연구실

I. 서 론

IMT2000이 상용화가 되어가고 PDA(Personal Digital Assistant) 기술이 발전함에 따라 휴대용 단말기의 시장이 매년 큰 폭으로 성장하고 있다. 이에 따라 사용자들은 자신의 손위에서 Desktop PC급의 Application들이 사용되는 휴대용 단말기를 기대하고 있으며 개발자들은 사용자의 요구를 수용하여 MPEG 또는 MP3와 같은 멀티미디어를 지원하고 고속 무선 통신도 가능한 휴대용 기기들을 출시하고 있다. 이러한 휴대용 단말기에서 가장 중요한 점은 소형이면서 소비전력이 낮고 성능은 Desktop PC 수준이어야 한다는 것이다. Desktop PC의 거대한 몸집을 성능의 저하 없이 손위에 올려놓기 위해서는 PC의 수많은 Component들을 불과 한 두개의 칩 안에 모두 집적해야 한다. 이와 같이 보드 Level의 Component들이 하나의 칩에 집적되고 이것이 하나의 시스템을 구성하는 것을 System-on-a-Chip(SoC)이라고 하며 이 SoC에 내장되는 프로세서를 가리켜 Embedded 프로세서라고 한다. SoC에선 IC자체가 하나의 시스템을 구성하기 때문에 여러 개의 IC로 구성되는 시스템에서의 IC보다 더욱 짧은 Turn-Around-Time을 요구한다. 이에 따라 IC 디자인에서의 Turn-Around-Time을 최소화하기 위한 솔루션인 IP-based Design 또는 Platform-based Design이 SoC에서 활용되고 있다.

한편, Embedded 프로세서가 주로 사용되는 휴대용 기기는 배터리를 전원으로 사용하기 때

에, 그 프로세서는 고성능이면서도 동시에 반드시 저전력이어야 한다. 성능을 향상시키기 위해서는 'Cycle Time'을 감소시켜야 하지만, 이는 동작 주파수의 향상으로 이어져 소비전력이 증가하게 된다. 바로 이 점 때문에 고성능과 저전력을 동시에 얻는 것이 힘들게 된다. 따라서 이들의 적절한 Trade-Off가 필요하고 이에 따른 새로운 프로세서 구조들이 제안되고 있다. <표 1>은 현재 널리 사용되고 있는 대표적인 embedded 프로세서들의 특징과 프로세서의 적용분야에 대해서 정리해 놓은 표이다. ARM7과 ARM9의 경우 시장에 나온 지 오래된 구조이지만 높은 MIPS/mW를 나타내기 때문에 낮은 전력소모가 중요한 이동통신 및 휴대용 오디오 기기에서 아직도 많이 사용되고 있다. StrongArm 구조의 SA-1100, Hitach의 SH-3 그리고 MIPS 구조를 택하고 있는 NEC의 VR-4122의 경우, 현재 Windows CE 계열의 멀티미디어 PDA에서 널리 사용되고 있지만, 실시간으로 MPEG-4 동영상 재생하기 위해서는 150MHz 이상의 동작 속도를 요구하며, 따라서 많은 전력소모를 하는 단점이 있다. 또한 이러한 구조의 embedded 프로세서들은 Desktop PC에서 사용되는 프로세서보다 적은 수의 Execution Unit과 Cache Size 등을 갖고 있기 때문에 Desktop에서 구현되던 멀티미디어 기능을 이들만으로 구현하는데는 성능의 한계가 있다. 멀티미디어 기능은 단순히 프로세서의 동작 주파수만을 높이는 것만으로는 실시간으로 구현하기 어렵고, 멀티미디어 연산에 최적화된 SIMD(Single Instruction Multiple Data) Unit과 같은 병렬처리 유닛을

〈표 1〉

프로세서	특 징	적용 분야
ARM-7, ARM-9	저전력	이동 통신, PDA, 휴대용 오디오 재생기
SA-1100	분기예측 높은 MIPS/mW	고성능 PDA
SA-1500	내장된 미디어 프로세서	셋톱박스
MIPS R5000	부동소수점 유닛 제한된 슈퍼스칼라 디스패치	3차원 컴퓨터 그래픽 (지오메트리 연산)
MIPS64 R5Kc	합성가능한 64bit 임베디드 코어	프린터와 디스크 컨트롤러 인터넷 패킷 라우터
MIPS64 20K	슈퍼스칼라 MIPS64 CPU	디지털 가전 및 네트워크
NEC VR4122	64bit MIPS 코어	고성능 휴대용 컴퓨팅 PCI 기반의 시스템 (네트워크 터미널)
SandCraft SR1-GX	미디어 익스텐션	셋톱박스
PowerPC 750CX	Integrated Multilevel Caching 슈퍼스칼라, 두 개의 정수 유닛 부동소수점 유닛	고성능 프로세서
Hitachi SH-3	Flexible Clocking, MMU	셋톱박스, PDA
Hitachi SH-4	3차원 그래픽스 (지오메트리)에 최적화된 SIMD 부동소수점 유닛	3차원 컴퓨터 그래픽 (지오메트리 연산)

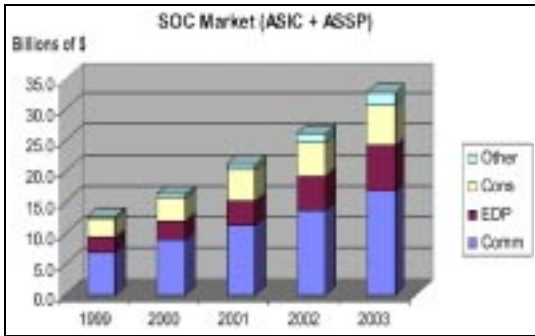
필요로 한다. Hitach의 SH-4는 3차원 그래픽의 지오메트리 연산을 하기에 최적화 되어 있는 예로서, 3차원 그래픽에서 많이 사용되는 floating point 4×4 matrix 연산을 7 사이클에 계산할 수 있게 하여, SIMD 구조를 택하고 있지 않은 embedded 프로세서에 비해 같은 clock에서 수십~수 백배의 성능 향상을 보고하고 있다. 하지만, 위에서 나열한 프로세서들은 근본적으로 General-Purpose CPU Core를 중심으로 하고 있어, 배터리를 사용하는 휴대용 기기에서 많은 양의 멀티미디어 데이터를 실시간으로 처리하는데 그 한계가 있다. 따라서 시스템에서 저전력과 높은 성능을 동시에 얻기 위한 embedded 프로세서 설계에 새로운 접근이 필요하다.

본고에서는 Embedded 프로세서의 빠른 설계를 위한 방법으로서의 IP-based Design에 대해 알아보고, 고성능과 저전력을 위한 성능 및 전력 변수들의 Trade-Off, 그리고 새롭게 제안되

는 구조들을 중심으로 현재 휴대용 단말기에서 대표적으로 사용되는 Embedded 프로세서를 예를 들며 설명하겠다. 한편 Embedded 프로세서의 대표적인 응용으로서 ramP (ram Processor)에 대해 알아보려 한다.

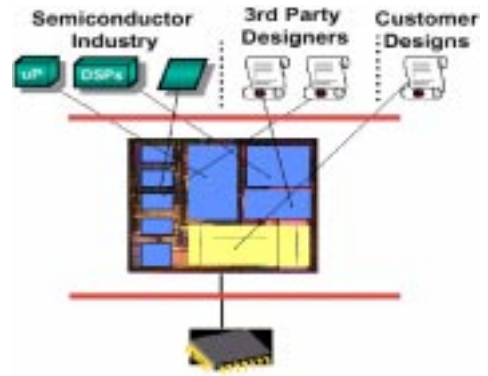
II. Embedded 프로세서와 SystemIC 설계방법

마이크로 프로세서의 처리 능력은 매 18개월마다 2배로 증가하고 있다. 소위 말하는 ‘무어의 법칙’이다. 즉, 사회의 기술적인 요구는 무어의 법칙에 따른 지수 함수적 발전을 원하고, IC 설계자들은 이러한 요구에 맞는 제품을 최소의 Time-to-Market으로 개발 및 설계, 공급해야만 시장 경쟁에서 살아남을 수 있게 되었다. 그러나 IC 기술의 발전으로 집적도와 복잡도가 폭발



Source : Dataquest

〈그림 1〉 SOC Market



〈그림 2〉 IP-based 설계

적으로 증가함에 따라, 무어의 법칙이 요구하는 사양과, 이를 시간 내에 설계해내기 위한 설계 역량 사이의 공백은 피할 수 없게 되었으며, 이 공백은 점점 더 커지고 있다.

한편, 마켓에서 요구하는 설계의 대상이 지금까지의 Desktop PC에서 멀티미디어와 디지털 신호처리를 실시간으로 할 수 있는 휴대용 컴퓨팅 환경으로 옮겨가고 있는 추세이며, 이러한 경향은 빠른 속도로 가속되고 있다. 〈그림 1〉은 Dataquest에서 예측한 SOC Market으로, 휴대용 통신기기를 중심으로 SoC 시장이 증가되고 있음을 보여준다. 90년대 이후로 많은 Embedded System이 부각되면서, IC 설계의 방향은 단연 저전력과 고성능의 달성이며 이를 위해서는 가능한 많은 기능 블록을 한 칩에 집적하는 SoC 설계가 필연적이다. 즉 IC 설계자들은 불과 몇 년 전에는 하나의 시스템이나 다름없었던 기능을 가진 대규모의 칩을 6개월에 불과한 Turn-Around-Time내에 개발 및 설계해야만 한다는 사실이 지금의 IC 시장을 지배하고 있다.

바로 여기서 기존 IC 설계 패러다임의 변화가 요구되고 있다.

첫째, IP-based Design이다. 〈그림 2〉에서 보는 바와 같이 하나의 칩이 곧 하나의 시스템이 되는 지금, 시스템 설계자들은 그들이 원하는 사양과 구조를 가진 시스템, 즉 칩을 설계할 수 있기를 원하고 있다. 이에 따라 IC 설계자들은 시스템 구축에 필요한 Functional Block들, 즉

IP (Intellectual Property)를 개발, 공급해야 한다. 이것은 다양한 시스템에 바로 집적될 수 있어야 하므로, 완벽한 검증을 거친 신뢰성과 다양한 시스템 환경에 응용될 수 있는 유연성을 가져야만 한다. 실제로 이러한 경향은 이미 몇 년 전부터 시작되어 왔다. ARM사와 MIPS Technologies 등은 ARM7, ARM9, 또는 R4000, R5000, R10000과 같은 그들의 Processor Core를 IP의 형태로 제공하고 있으며, IP를 조직적으로 관리하고 거래하기 위한 기관으로서, VSIA (1996, 미국), VCX (1997, 스코틀랜드), IPTC (2000, 일본) 등이 이미 설립되었고, 우리나라에서도 IP를 효과적으로 관리하고 운용하기 위해 SIPAC^[9]이 설립되어 새롭게 변화해 가는 설계 환경에 대처하고 있다. 소프트웨어가 점점 방대해지고 복잡해지면서, 소프트웨어 개발자들을 위한 수 많은 라이브러리와 개발 킷 등이 이미 제공되며 거래되고 있는 것과 같은 맥락의 흐름이 하드웨어, 즉 IC 설계에도 적용되는 것이다.

둘째, 하드웨어-소프트웨어 Co-Design이다. SoC로서 설계된 하드웨어라고 해도, 이것만으로는 하나의 완결된 시스템이 될 수 없다. 완결된 시스템은, 하나의 시스템이 되기 위한 기능을 제공할 수 있는 IP들을 집적한 하드웨어와, 이것이 제공하는 기능을 충분히 운용할 수 있는 안정적이고 효율적인 소프트웨어가 함께 구축된 통합 솔루션이어야 한다. 대부분의 경우, 하드웨어 개발자가 자사 제품에 맞는 OS, Assembler, Com-

piler, Application 등의 소프트웨어를 모두 제공하는 것은 많은 어려움이 따르기 때문에, 기존의 소프트웨어 표준과 호환 가능 또는 적은 비용으로 포팅 가능한 구조의 하드웨어를 설계하는 것이 일반적이다. 예를 들면, 대부분의 PDA용 Embedded Processor의 경우, 시장 점유율 1, 2위인 PalmOS 또는 Microsoft WindowsCE를 지원해야만 시장경쟁력이 있다. Xstream-Logic사에서 출시 예정인 네트웍 프로세서는 기존 소프트웨어 자원의 충분한 활용을 위해 MIPS core를 기본으로 설계하며, Windriver사는 다양한 Embedded System을 위한 소프트웨어 Development Kit, Library, Compiler, OS 등을 개발하고 있다. 반면, 1980년대 Multiflow사와 Cydrome사 등에서는 Compiler에 의한 Instruction Level Parallelism을 이용한 VLIW 구조를 제안하였으나 Compiler 설계의 어려움으로 인해 현재까지 상업적으로 성공하거나 널리 이용되지는 못하고 있다. 즉, 이제 하드웨어와 소프트웨어는 전혀 별개의 것이 아니라 개발 단계부터 함께 고려되고 상호 보완적으로 설계되어야 하는 통합 설계 대상인 것이며, 이를 위해 개발자들은 자신의 전문 분야뿐만 아니라 하드웨어와 소프트웨어 모두에 대한 폭 넓은 이해와 지식을 가져야만 한다.

III. 저전력 설계

휴대용 멀티미디어 기기를 위해서는 다양한 component를 하나의 chip으로 집적하는 SoC 기술의 발전과 더불어 휴대용 장치의 특성에 맞게 저전력이면서도 고성능을 나타내도록 시스템을 설계해야 한다. 저전력으로 설계된 시스템은 발열량이 작기 때문에 냉각 장치가 필요없고 결과적으로 시스템의 크기가 줄어든다. 또한 배터리를 사용할 수밖에 없는 휴대용 장치의 특성상 동작 시간도 증가하기 때문에 그만큼의 성능이 향상된다.^[2]

저전력 설계는 크게 시스템에 들어가는 프로세서를 저전력으로 설계하는 것과, Component 간의 외부 Interface를 줄이기 위해 집적도를 높이는 방법의 두 가지로 나눌 수 있다. 집적도를 높이는 방법으로는 시스템 내에 많은 양의 On-chip 메모리를 사용하는 경우를 들 수 있다. 시스템의 성능을 올리기 위해서는 많은 양의 메모리가 필요한데, 이를 on-chip으로 만들면 불필요한 inter-chip interface가 줄어들어 그만큼의 컨트롤 로직과 I/O 드라이버의 로딩이 줄어들어 소비 전력이 감소한다. 또한 application에 최적화된 메모리 버스를 사용하므로 메모리 access에 사용되는 시간이 줄어들어 전력 소비가 줄어든다. KAIST의 ramP(ram processor^{[3][8]})의 경우 이런 방식을 사용하여 전력소모를 줄였다.

시스템에 내장되는 프로세서를 저전력으로 설계하는 방법은, 전력을 일정하게 하면서 성능을 향상시키는 방법과 성능을 일정하게 하면서 소비 전력을 감소시키는 방법 두 가지로 나눌 수 있다. 프로세서의 소비전력과 성능은 다음의 식으로 나타낸다.^[1]

$$ET=IC \times COI \times CCT \quad (1)$$

$$P=C \times V_{dd}^2 \times F \quad (2)$$

-ET : 프로그램 실행 시간

-P : 소비 전력

-IC : instruction count

-CPI : 한 instruction이 실행되는데 필요한 clock의 수

-CCT : clock cycle time

-C : 전체 시스템의 load capacitance

-V_{dd} : power supply voltage

-F : 동작 주파수

프로세서의 성능을 향상시키기 위해서는 instruction level parallelism(ILP)를 향상시켜서 IC와 CPI를 줄여 주어야 한다. ILP를 향상시키기 위해서는 기능 block 간의 data dependency를 해결해야 하는데, compiler 기술의 발전에 힘입어 VLIW(Very long instruction word) 구조가 큰 관심을 받고 있다. VLIW는 software적으로 병렬 처리될 instruction을 추

출하여 한 clock에 여러 명령을 처리하게 된다. 이는 hardware적으로 dependency를 처리하는 superscalar보다 효율이 좋으며 따라서 hardware overhead가 없기 때문에 소비 전력도 작다. Transmeta의 Crusoe^[4]에서 사용하는 code morphing software는 target이 되는 instruction set architecture (ISA)를 VLIW 구조로 실시간으로 바꾸어 자신의 고유한 VLIW code로 변환하여 처리한다.

또한, 메모리 access pattern을 분석하여 data bus를 효과적으로 사용해서 프로세서의 성능을 향상시킬 수도 있다. 큰 on-chip memory를 block 단위로 access하여 전체 memory access 횟수를 줄이거나 memory address를 계층적으로 decoding하여 memory중 실제로 access하는 부분에만 clock을 가하여 전체 프로세서의 성능을 향상시킨다. 또한 instruction queue를 두어 memory를 prefetch하거나 read/write bus를 분리하여 memory access를 병렬화해서 memory access 횟수를 줄일 수 있다. Texas instrument의 C55x DSP^[5]는 central memory interface와 local memory interface를 두어 memory access를 계층화 하였으며, queue와 separate bus를 사용하여 소비전력을 줄여주었다.

프로세서의 성능을 유지하면서 소비 전력을 감소시키는 방법에는 현재 실행중인 작업에 맞게 프로세서의 동작 주파수와 동작전압을 조절하는 방법이 있다. Transmeta의 LongRun^[4] 기술은, code morphing software가 동적으로 변환된 VLIW code에 맞게 동작 주파수와 동작 전압을 적응 과정을 통해 조절해 나감으로서 프로세서의 불필요한 전력 낭비를 줄여 주었다.

Application을 분석하여 일반적인 프로세서의 구조에서 필요하지 않은 부분을 삭제함으로써 전체 시스템의 Load capacitance를 줄여 소비 전력을 줄일 수 있다. 예를 들어 네크웍 프로세서의 경우 대부분의 branch가 deterministic하므로 branch prediction unit이 필요하지 않게 된다. 실제로 Au1000 Internet edge processor^[6]의 경우 branch prediction unit을 생략해서

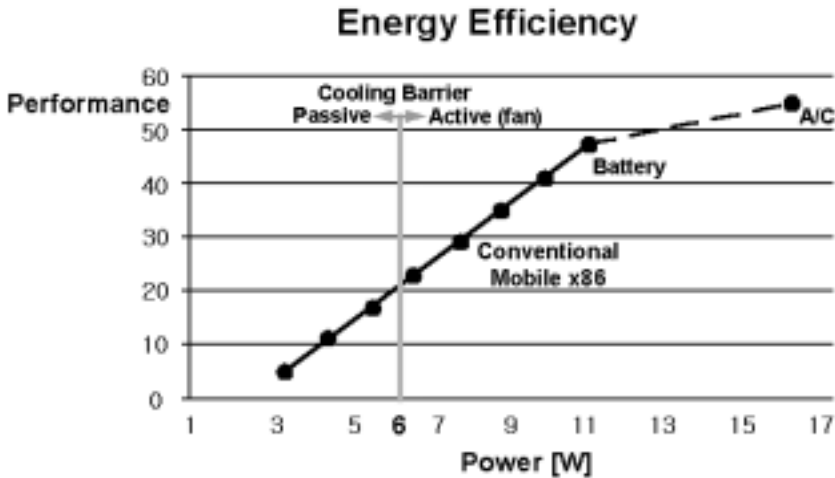
소비 전력을 줄였다.

시스템의 동작 상태를 동작, 대기, 수면 모드 등으로 나누어서 시스템의 전력 성능을 더욱 향상시킬 수 있다. Intel의 speed step^[7] 기술은 battery mode와 AC전원 mode에 따라 동작 주파수를 다르게 함으로써 전력 효율을 증가시키며 현재 작업 중에 사용하지 않는 기능 block에 pseudo zero clock을 가함으로써 시스템의 load capacitance를 줄여 소비 전력을 더욱 감소시킨다. 이러한 방식의 최근 구현 예로서 Compaq에 의해 개발된 Itsy Pocket Computer^[10]를 들 수 있다. 이 휴대용 기기에서는 StrongARM-1100을 Embedded Processor Core로 사용하고 있으며 응용프로그램의 종류에 따라 Software적으로 동작 주파수를 59MHz, 74MHz, 206MHz 등으로 조정하여 시스템의 전력소모를 줄인다.

IV. 전력 대 성능

<그림 3>에 나타난 것과 같이, 프로세서의 에너지 효율성을 고려할 때에 전력과 성능은 Trade-off를 갖는다. 즉, 고성능의 프로세서를 얻기 위해서는 전력을 많이 소비해야 하며, 적은 전력을 소비하면 그 만큼 낮은 성능의 프로세서를 얻게 된다. Desktop PC기반의 일반적인 목적으로 사용되는 고성능 프로세서는 Application의 flexibility를 가지므로 영상처리를 비롯한 다양한 멀티미디어 응용에 사용할 수 있지만, 멀티미디어 처리에 있어서 최적화된 전력 소모를 가지지 않으므로 전력면에서 비효율적이다. 반면에 저전력 프로세서는 낮은 성능을 가지므로 다양한 멀티미디어 응용을 위해서는 추가로 Co-processing DSP 또는 하드웨어 가속을 위한 하드웨어 가속기가 필요하다.

지금까지 PDA를 포함한 대부분의 휴대용 시스템에서는 주소록, 달력, Web-browsing, 편집기 등과 같이 고성능 CPU가 필요없는 기능만을 사용해왔다. 하지만 현재 PDA에서의 멀티미디어



〈그림 3〉 Performance vs. Power characteristic of a Processor

어 기능이 강화되고 있기 때문에 StrongArm, MIPS, 또는 SH 계열의 고성능 프로세서를 사용하여 이를 처리하고 있다. 그러나, 이러한 프로세서의 멀티미디어 처리는 전력과 성능에 최적화되어 있지 않기 때문에 휴대용 시스템에 적용하여 장시간 사용하기에 무리가 있다. 예를 들어, Motorola사의 DragonBall CPU를 채용한 PDA의 경우 텍스트 기반의 기본적인 기능만을 지원하면 사용 시간이 약 15일~30일 정도인 반면 동영상 재생과 같은 멀티미디어 기능을 지원하는 StrongARM을 채용한 PDA는 연속 사용 시간이 하루도 되지 않는다. 따라서, 휴대용 기기에서 저전력, 고성능의 멀티미디어를 구현하기 위해서는 저전력의 General-Purpose embedded 프로세서 코어와 멀티미디어 연산을 가속할 수 있는 DSP 또는 ASIC 블록을 함께 사용하여 시스템을 구성하는 것이 전력과 성능면에서 효율적이다.

V. 저전력 멀티미디어 PDA-chip, ramP-II

ramP(ram Processor)는 Application Specific한 CPU와 DSP, 그리고 DRAM과 SRAM을 포함하는 메모리 구조를 개발하여 이를 Em-

bedded Memory Logic 기술을 이용하여 하나의 시스템 칩에 집적하는 구조를 말한다. 시스템이 사용되는 응용 분야에 최적화하여 각각의 컴포넌트를 설계하기 때문에 낮은 전력에서 높은 성능을 나타낼 수 있는 장점이 있다.

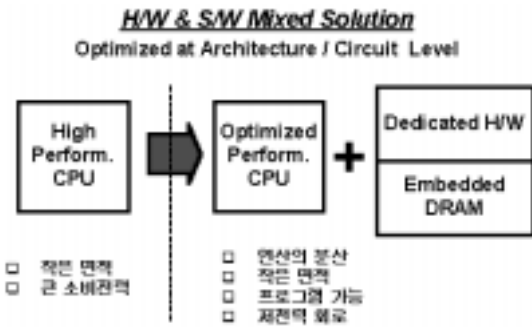
ramP-I(ram Processor-1^[8])은 embedded 메모리의 넓은 대역폭을 최대한 활용하는 3차원 그래픽스 렌더링 엔진으로서 ramP architecture의 우수성을 입증해 보인 칩이며, ramP-II(ram Processor-2^[3])는 멀티미디어 PDA를 위한 One-Chip Solution으로, 낮은 전력에서 고성능의 멀티미디어 기능을 PDA에서 구현할 수 있도록 하는 칩이다. ramP-II에서 지원하는 기능은 주로 다음과 같다.

- 주소록, 일정관리 등의 개인 정보 관리
- 실시간 MP3 오디오 재생
- 실시간 MPEG-4 비디오 재생
- 3차원 그래픽 렌더링

3차원 그래픽 렌더링은 기존 PDA-Chip들에서는 시도되지 않던 기능으로 PDA 위에서 3차원 그래픽을 가능하게 하여, 3D fax, 3D game 및 3D 광고 등을 구현할 수 있게 한다.

ramP-II(ramp Processor 2)의 개념은 다음 그림과 같다.

기존의 CPU를 이용하는 경우 3차원 그래픽

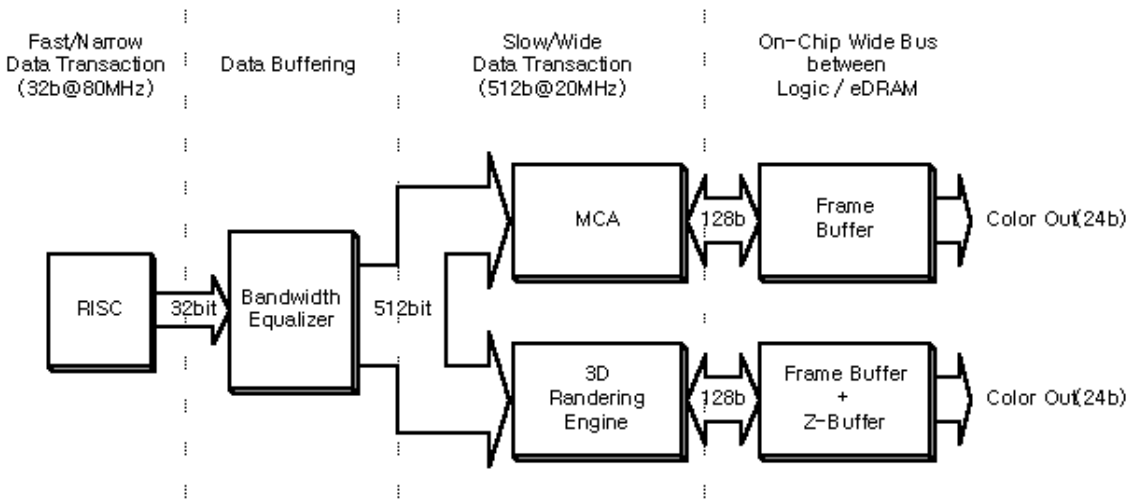


〈그림 4〉 ramP-II의 개념

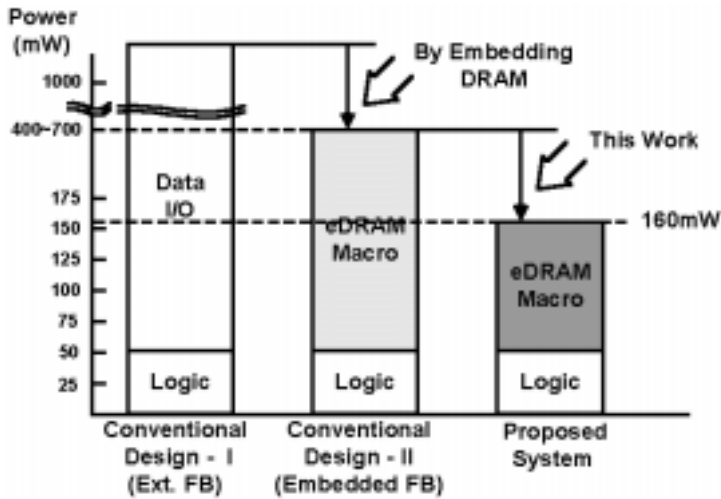
과 같은 많은 양의 Multimedia Data 처리를 기존의 CPU를 이용하는 경우 CPU 성능을 높이는 것만으로는 해결 할 수 없다. GHz급의 PC에서 초차 3차원 그래픽을 처리하기 위해서는 그래픽 가속기가 필요하다. 따라서 ramP-II PDA 시스템에서는 ARM-9과 호환되는 저전력 embedded 프로세서를 코어로 사용하고 멀티미디어에 최적화된 하드웨어 가속기 블록을 추가하여 전체적으로 낮은 전력에서 고성능의 멀티미디어를 구현하였다. 일정관리, 주소록과 같이 자주 사용되는 어플리케이션은 고성능의 하드웨어를 필요로 하지 않기 때문에, embedded RISC 프로세서만으로도 처리가 가능하므로, 멀티미디어를 위한 하드웨어 블록들의 전원을 차단함으로써 시

스템의 사용시간을 증가시킨다. 또한, MPEG-4 또는 3차원 그래픽과 같은 멀티미디어 기능을 사용하고 있는 경우에도, 각각의 하드웨어 블록이 응용프로그램에 최적화되어 설계되었기 때문에 기존의 고성능 프로세서에서 소프트웨어적으로 처리하는 것보다 낮은 전력을 소모하여 시스템의 배터리 사용시간을 증가시킨다.

〈그림 5〉는 ramP-II의 Block Diagram이다. 기존 응용프로그램과의 호환성을 위해 embedded RISC 프로세서 코어는 ARM-9을 사용하였으며, MP3 디코딩을 위해 MAC(Multiply-Accumulate) 유닛을 추가하였다. 기존에 사용되던 모든 OS 및 응용프로그램을 재컴파일 과정없이 사용할 수 있기 때문에 PDA 시스템 구성을 위한 software overhead를 줄였다. 멀티미디어 데이터 처리의 가속을 위해서 3D Rendering Engine(3DRE)과 Motion Compensation Accelerator(MCA)가 추가되어, embedded RISC 프로세서가 처리해야 될 데이터의 양이 줄어들는다. 그러므로 80MHz의 낮은 주파수로 동작할 수 있게 되고, 이에 따라 전원 전압도 낮출 수 있게 되어 시스템의 전력소모를 낮출 수 있다. 각각의 하드웨어 가속기 블록은 멀티미디어 데이터를 병렬로 처리하기 때문에 더욱더 낮은 주파수(20MHz)로 동작시킬 수 있으며



〈그림 5〉 ramP-II Block Diagram

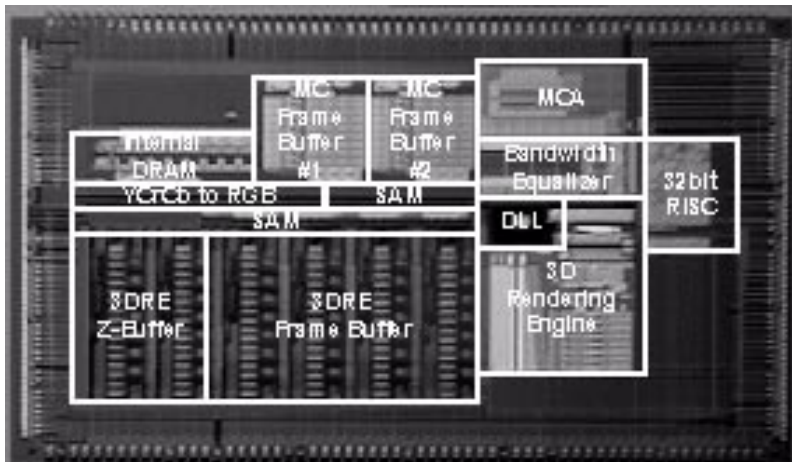


〈그림 6〉 소모전력 비교

RISC와 하드웨어 가속기 블록에 서로 다른 최적화된 Clock을 인가하여 전력소모를 최소화 한다. 또한 DRAM Frame Buffer를 내장하여 멀티미디어 처리에 필요한 메모리 access를 On-Chip으로 하기 때문에, Off-Chip I/O 버스의 로딩으로 인한 전력소모가 발생하지 않는다.

낮은 전력소모를 위해 최적화된 하드웨어 블록들의 구조와, 내장된 DRAM의 사용으로 인해, ramP-II의 소비전력은 3차원 그래픽을 렌더링하고 있는 경우에도 〈그림 6〉에서 보는 바와 같이 160mW 밖에는 되지 않는다.

앞에서 언급한 바와 같이, 설계 시간을 단축하기 위해 이미 만들어져 있는 IP들을 이용하게 된다. 하지만, 각 IP들은 동작전압, 주파수, 대역폭 등이 서로 다를 수 있으며 이를 해결하기 위해서는 각 IP들 사이를 “Glue Logic”을 통해 연결하여 시스템을 구성하여야 한다. ramP-II에서는 ‘Bandwidth Equalizer’와 ‘Frame Buffer Interface’를 통해 IP사이의 문제들을 해결한다. Embedded RISC 프로세서는 80MHz에서 32 bit의 Bandwidth로 Data를 처리하지만 3D Rendering Engine과 Motion Compensation



〈그림 7〉 ramP-II

Accelerator는 20MHz에서 512bit의 Bandwidth로 Data를 처리한다. 따라서 이들 사이에 SRAM과 intelligent controller로 구성된 Bandwidth Equalizer를 두어 Bandwidth 및 Latency의 차이를 완충해서 전체 성능을 떨어뜨리지 않도록 Data 흐름을 제어한다. 1.5V 20MHz 3D rendering engine과 2.5V 100MHz frame-buffer 사이에서는 frame buffer interface가 둘 사이의 속도와 전압차이를 완충해준다. 따라서, ramP-II의 설계에서는 각각의 하드웨어 블록들을 IP화 하여 독립적으로 설계한 뒤, 서로를 연결시키기 위한 glue logic을 설계하여 전체를 integration하였다. 이 방법을 이용하여 6개월 이내의 짧은 시간에 원하는 만큼의 낮은 전력과 고성능의 PDA-chip을 설계할 수 있었으며, 제작된 ramP-II의 칩 사진을 다음 <그림 7>에 보인다. $0.18\mu\text{m}$ Embedded Memory Logic 공정을 이용하여 제작된 전체 칩의 크기는 I/O와 PAD를 포함하여 84mm^2 이며, 160mW의 전력을 소모한다.

VI. 결 론

휴대용 단말기의 폭발적인 수요증가와 SoC기술의 급속한 발전과 더불어 SoC기술의 핵심인 Embedded 프로세서의 동향과 조건에 대해 알아 보았고 그 응용의 예로서 ramP를 살펴보았다. Embedded 프로세서를 장착한 SoC의 Fast Turn-Around-Time을 위해 IP-based Design을 소개하였고 Mobile Application을 위한 고성능, 저전력 설계 방법을 알아보았다. 이러한 Embedded 프로세서는 앞으로는 ramP와 같은 휴대용 기기를 위한 3차원 Graphics 렌더링 프로세서 또는 고성능의 네트워크 프로세서에서도 크게 활용될 것으로 전망된다.

참 고 문 헌

- [1] Kazuaki Murakami, et al, "Trends in High-Performance, Low-Power Processor Architectures", IEICE Trans. Electron. , Vol. E84-C, No. 2, February 2001
- [2] Steve Leibson, "Trend in Low-Power and High-Integration Embedded Processors", Embedded Processor Forum 2000
- [3] Chi-Weon Yoon, et al, "A 80/20MHz 160mW multimedia processor integrated with embedded DRAM MPEG-4 accelerator and 3D rendering engine for mobile applications", 2001 IEEE International Solid-State Conference, pp 142-143, 2001
- [4] <http://www.transmeta.com>
- [5] <http://www.ti.com>
- [6] Greg Hoepfner, "Au1000 Internet edge processor", Embedded Processor Forum, 2000
- [7] K. Krewell, "SpeedStep : boost mobile performance," Microprocessor report, 7 Feb 2000.
- [8] Yong-Ha Park, et al, "A 7.1-GB/s low-power rendering engine in 2-D array-embedded memory logic CMOS for portable multimedia system ", IEEE Journal of Solid-State Circuits, Vol. 36, Issue 6, pp 944-955, Jun 2001
- [9] www.sipac.or.kr
- [10] William R. Hamburg et al, "Itsy : Stretching the Bounds of Mobile Computing", IEEE Computer, April 2001

저 자 소 개



柳會峻

1960년 7월 30일생, 1983년 2월 서울대 전자공학과 학사, 1985년 2월 : KAIST 전기 및 전자공학과 석사, 1988년 8월 : KAIST 전기 및 전자공학과 박사, 1988년 9월~1990년 12월 : Bellcore 연구원, 1991년 2월~1995년 2월 : 현대전자 수석 연구원, 1995년 3월~1998년 1월 : 강원대학교 전자공학과 교수, 1998년~현재 : KAIST 전기 및 전자공학과 교수, <주관심 분야 : 고성능 메모리 설계, Embedded Memory Logic, OEIC, SystemIC, IP-authoring>



禹籃燦

1978년 1월 1일생, 1999년 2월 KAIST 전기 및 전자공학과 학사, 2001년 2월 : KAIST 전기 및 전자공학과 석사, 2001년 3월~ : KAIST 전기 및 전자공학과 박사과정, <주관심 분야 : Portable 3D Graphics Architecture, Embedded Memory Logic Design, High-Speed Datapath Circuit Design>